

(2)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174505

(43)Date of publication of application : 23.06.2000

(51)Int.Cl.

H01P 1/26
H03H 7/38
H04L 25/02

(21)Application number : 10-348270

(71)Applicant : OTSUKA KANJI
USAMI TAMOTSU
HITACHI LTD
OKI ELECTRIC IND CO LTD
SANYO ELECTRIC CO LTD
SHARP CORP
SONY CORP
TOSHIBA CORP
NEC CORP
MATSUSHITA ELECTRONICS INDUSTRY CORP
MITSUBISHI ELECTRIC CORP
FUJITSU LTD
ROHM CO LTD
(72)Inventor : OTSUKA KANJI
USAMI TAMOTSU

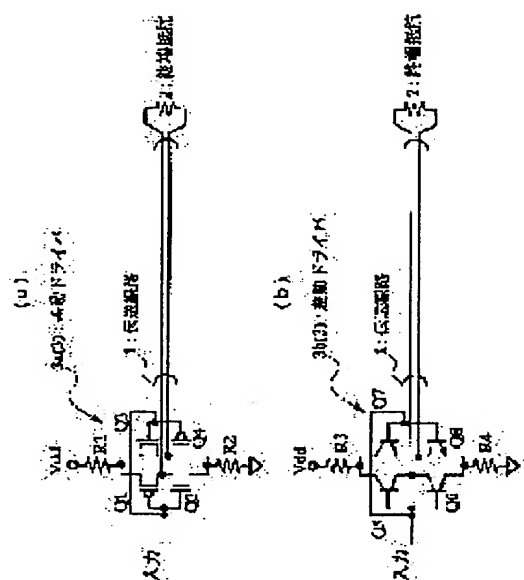
(22)Date of filing : 08.12.1998

(54) ELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic device where signal transmission through a bus wire system is quickened by specifying a circuit configuration of a driver circuit and a characteristic impedance of a transmission line.

SOLUTION: The electronic device is configured by mounting an integrated circuit chip with a differential driver 3 on a printed circuit board having a transmission line 1 and a termination resistor 2, where its input and output circuit is configured by combining the differential driver 3 of a current switch type with a bus wire system consisting of the transmission line 1 used to transmit differential complementary digital signals and the termination resistor 2 that is a termination circuit in matching with the line 1. The current switch type differential driver 3 is employed and the transmission line 1 consists of parallel wires with an equal length whose characteristic impedance is 25 ohms or below. Then attenuation of energy of the signals being transmitted is suppressed and electromagnetic interference among the transmission line wires 1 placed close to each other can be suppressed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174505

(P 2 0 0 0 - 1 7 4 5 0 5 A)

(43) 公開日 平成12年6月23日 (2000. 6. 23)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01P 1/26		H01P 1/26	5J013
H03H 7/38		H03H 7/38	Z 5K029
H04L 25/02		H04L 25/02	V

審査請求 未請求 請求項の数19 O L (全20頁)

(21) 出願番号	特願平10-348270	(71) 出願人	598042633 大塚 寛治 東京都東大和市湖畔2-1074-38
(22) 出願日	平成10年12月8日 (1998. 12. 8)	(71) 出願人	598168807 宇佐美 保 東京都国分寺市西町2-38-4
		(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
		(72) 発明者	大塚 寛治 東京都東大和市湖畔2-1074-38
		(74) 代理人	100080001 弁理士 筒井 大和

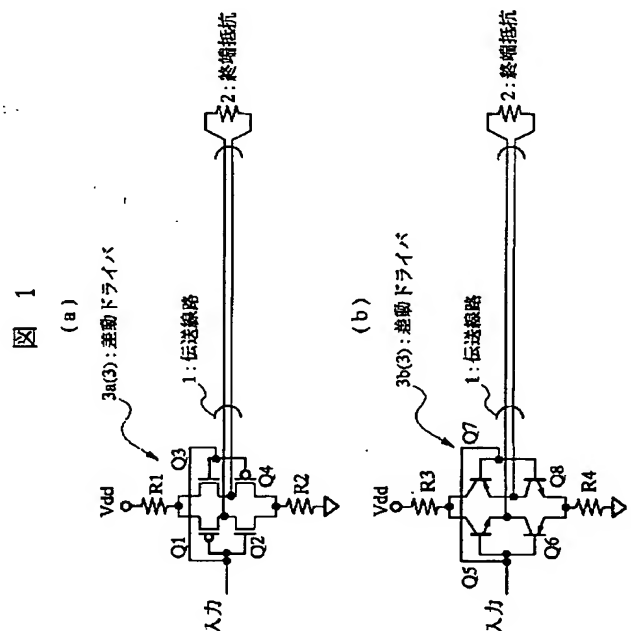
最終頁に続く

(54) 【発明の名称】 電子装置

(57) 【要約】

【課題】 ドライバ回路の回路構成、および伝送線路の特性インピーダンスを特定することによりバス配線系の信号伝送を高速化できる電子装置を提供する。

【解決手段】 差動相補デジタル信号を伝達する伝送線路1と、それに整合した終端回路である終端抵抗2とからなるバス配線系に、カレントスイッチ型の差動ドライバ3を組み合わせた入出力回路を構成し、伝送線路1および終端抵抗2などを有する配線基板に、差動ドライバ3などを有する集積回路チップが搭載されて構成される電子装置であって、差動ドライバ3をカレントスイッチ型とし、かつ伝送線路1を25Ω以下の特性インピーダンスを有する線路の並列等長配線とすることで、伝送中の信号エネルギーの減衰を抑え、かつ近接する伝送線路1間の電磁界干渉を抑制することができる。



【特許請求の範囲】

【請求項 1】 伝送線路と、この伝送線路に整合した終端回路と、前記伝送線路および前記終端回路からなるバス配線系に相補信号を供給するドライバ回路とを有し、前記伝送線路および前記終端回路を有する配線基板に、前記ドライバ回路を有する第 1 の集積回路チップが搭載されてなる電子装置であって、前記伝送線路は、対向ペア線路構造で $25\ \Omega$ 以下の特性インピーダンスを有する線路が並列等長配線され、 $25\ \Omega$ 以下の純抵抗で終端されているバス構造であることを特徴とする電子装置。

【請求項 2】 請求項 1 記載の電子装置であって、前記ドライバ回路は、カレントスイッチ型のドライバ回路であることを特徴とする電子装置。

【請求項 3】 請求項 2 記載の電子装置であって、前記ドライバ回路には純抵抗が直列に接続され、前記伝送線路の特性インピーダンスと同等以上、好ましくは 3 倍以上のオン抵抗となることを特徴とする電子装置。

【請求項 4】 請求項 1 記載の電子装置であって、前記伝送線路のバス上に分岐してレシーバ回路を有する第 2 の集積回路チップが接続される構成において、このレシーバ回路は、純抵抗が $1\ \text{K}\ \Omega$ 以上のハイインピーダンスであることを特徴とする電子装置。

【請求項 5】 請求項 4 記載の電子装置であって、前記レシーバ回路を $4\ \text{mm}$ 以下の伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部に $0.4\ \text{K}\sim 1\ \text{K}\ \Omega$ の純抵抗が対向ペア線路の両方に直列接続されることを特徴とする電子装置。

【請求項 6】 請求項 5 記載の電子装置であって、前記伝送線路と前記分岐配線との間の絶縁層の厚みは、前記伝送線路および前記分岐配線の対向ペア線路間の絶縁層の厚みの数倍であることを特徴とする電子装置。

【請求項 7】 請求項 1 記載の電子装置であって、前記ドライバ回路を有する第 1 の集積回路チップよりファンアウトされる電源・グラウンド配線を伝送線路構造とすることを特徴とする電子装置。

【請求項 8】 請求項 7 記載の電子装置であって、前記電源・グラウンドをペアとする配線の伝送線路は、信号線の特性インピーダンスと同等か、それよりも低いことを特徴とする電子装置。

【請求項 9】 請求項 1 記載の電子装置であって、前記伝送線路のバス上に分岐してカレントスイッチ型のドライバ回路を有する第 2 の集積回路チップが接続され、前記第 1 の集積回路チップがハイインピーダンスのレシーバ回路を有する構成において、前記第 2 の集積回路チップのドライバ回路から送った相補信号を前記第 1 の集積回路チップのレシーバ回路で受け取ることを特徴とする電子装置。

【請求項 10】 請求項 9 記載の電子装置であって、前記ドライバ回路から前記伝送線路に流れた信号は前記レシーバ回路および前記終端回路の方向へそれぞれ $1/2$

の振幅で流れ、前記レシーバ回路では信号エネルギーが全反射してもとの振幅となり、前記レシーバ回路が正常に動作し、一方、前記終端回路へ流れた信号エネルギーは吸収されて消去されることを特徴とする電子装置。

【請求項 11】 請求項 10 記載の電子装置であって、前記ドライバ回路を伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部にアクティブな分岐配線のゲートのみを開けるためのバストランシーバゲートのチップが挿入され、この分岐配線は前記伝送線路より低い特性インピーダンス、好ましくは $1/2$ の特性インピーダンスを有することを特徴とする電子装置。

【請求項 12】 請求項 11 記載の電子装置であって、前記バストランシーバゲートのチップは、前記伝送線路の複数のバスをそれぞれのゲートでつなぐ集合チップ構成とし、電源・グラウンド配線の上を倣うように斜めに配列されることを特徴とする電子装置。

【請求項 13】 請求項 1 記載の電子装置であって、前記伝送線路のバス上に分岐してレシーバ回路とカレントスイッチ型のドライバ回路とを有する第 2 の集積回路チップが接続され、前記第 1 の集積回路チップが前記ドライバ回路とハイインピーダンスのレシーバ回路とを有する構成において、前記第 1 の集積回路チップのドライバ回路およびレシーバ回路と、前記第 2 の集積回路チップのレシーバ回路およびドライバ回路との間で双方向に相補信号をやり取りすることを特徴とする電子装置。

【請求項 14】 請求項 13 記載の電子装置であって、前記第 1 の集積回路チップのドライバ回路およびレシーバ回路の合成回路の出口に、出力時はハイインピーダンス、入力時は整合端になるような抵抗とゲートとを直列につないだ回路が前記伝送線路の入出力端間に挿入されることを特徴とする電子装置。

【請求項 15】 請求項 14 記載の電子装置であって、前記第 2 の集積回路チップのレシーバ回路およびドライバ回路を伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部にバストランシーバゲートと高抵抗とが並列に接続されたチップが挿入され、前記第 1 の集積回路チップの出力時は前記バストランシーバゲートが開き、入力時は前記バストランシーバゲートが閉じて前記高抵抗にエネルギーが供給されることを特徴とする電子装置。

【請求項 16】 請求項 1 記載の電子装置であって、前記伝送線路のバス上に分岐して第 2 ～第 n の複数の集積回路チップが接続され、前記第 1 の集積回路チップのドライバ回路がコントロール機能を有する構成において、前記伝送線路内に数パルスの信号が進行するときのタイミングの取り方は、前記第 1 の集積回路チップが前記第 2 ～第 n の各集積回路チップのエコー時間を測定し、最長エコー時間を持つ集積回路チップに復路クロックアクティブを与え、この復路クロックアクティブが与えられた集積回路チップが往路クロック信号を検出し、それを

もとに前記第1の集積回路チップが復路クロック信号を発生し、前記復路クロックアクティブが与えられた集積回路チップがデータストローブ信号を折り返し発信することを特徴とする電子装置。

【請求項17】 請求項16記載の電子装置であって、前記第1の集積回路チップが受け取るデータのタイミングを知る方法は、前記第1の集積回路チップからの制御信号が読み出し命令のときだけ、復路クロック信号を発生する集積回路チップがデータストローブ信号を伝送線路から再度受け取り、これも遅延データストローブ信号として折り返し発信することを特徴とする電子装置。

【請求項18】 請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16または17記載の電子装置であって、前記伝送線路は差動相補信号を伝達する差動伝送線路であり、かつ前記ドライバ回路は差動ドライバ回路、前記レシーバ回路は差動レシーバ回路であることを特徴とする電子装置。

【請求項19】 請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17または18記載の電子装置であって、前記第1の集積回路チップは前記伝送線路の始端に接続されるコントローラチップであり、かつ前記第2の集積回路チップはメモリ・入出力インターフェースチップであることを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子装置の伝送技術に関し、特に伝送線路と、これに整合した終端回路とからなるバス配線系にドライバ回路を組み合わせたチップ入出力回路システムに適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、本発明者が検討した技術として、従来、チップ入出力回路システムに関しては、電子装置を構成する入出力回路の要部を示す図17のような回路構成などが考えられる。この入出力回路は、入力されたデジタル信号を相補信号化して送信する差動ドライバ101と、相補信号化されたデジタル信号を受信して入力のデジタル信号に対応したデジタル信号を出力する差動レシーバ102と、この差動ドライバ101と差動レシーバ102とを接続する一対のペア信号配線103などからなり、差動ドライバ101から出力される相補デジタル信号をペア信号配線103を介して差動レシーバ102に伝送するように構成されている。

【0003】 この電子装置の入出力回路において、差動ドライバ101および差動レシーバ102は、それぞれpMOSトランジスタおよびnMOSトランジスタからなるCMOS回路構成のドライバ104、106とインバータ105、107とから構成され、入力のデジタル信号がロウレベルからハイレベル、またはハイレベルからロウレベルに遷移することによりトランジスタの一

方がオン、他方がオフとなるように相補動作する。このように、入力のデジタル信号が遷移した場合に、差動ドライバ101から相補信号エネルギーをペア信号配線103に供給することにより、相補デジタル信号をペア信号配線103を介して差動レシーバ102に伝送するという構成になっている。

【0004】

【発明が解決しようとする課題】 ところで、前記のような電子装置の技術について、本発明者が検討した結果、以下のようなことが明らかとなった。たとえば、前記のような電子装置において、ペア信号配線をカップリング係数が1に近い平行等長配線とする場合には、ペア信号配線を電磁界がほぼ閉じている伝送線路とし、相補デジタル信号をTEM (Transversed Electromagnetic Mode) 伝送に近いモード (準TEM) で伝送し、信号の高速化を図ることができる。この伝送線路は、スピードの速い信号を伝える唯一の手段である。

【0005】 たとえば、電子装置の信号をやり取りするバスにおいて、このバスは伝送線路であるとする、信号を供給するドライバから高エネルギー信号 (ハイ状態の信号) をバスに流すときは、グラウンドレベルにあるバス配線全体 (ロウレベルにある状態) をハイレベルに持ち上げるエネルギーを必要とする。信号立ち上がりが高速なとき、ドライバが信号をレシーバに伝える前にしなければならない作業である。

【0006】 よって、信号の立ち上がり時間がバス配線全体にエネルギーを供給する時間 (バス配線の伝送遅延時間) より遅い場合は、ドライバのエネルギー供給が、バスとレシーバへほぼ並行に行われ、レシーバにバスの存在を意識させることはほばない。すなわち、このようなシリアルワークは、バス配線の遅延時間より、信号立ち上がり時間が速いときに考慮しなければならない現象である。当然、反対のロウレベルに遷移するときも同様で、高エネルギー状態のバス配線のエネルギーを逃がす操作が、まず、必要となる。

【0007】 このようなドライバの設計は、信号立ち上がり時間がバスの遅延時間より遅いときはレシーバの負荷をチャージするエネルギーがあればよかった。しかし、バス伝送線路の遅延時間より信号立ち上がり時間が短い高速の信号が通常のシステムとなった現在、レシーバの特性よりも、まず、バスへのエネルギー供給をどのようにするか設計が重要となってきている。

【0008】 たとえば、良いレシーバとは微弱な信号エネルギーでも、それを充分関知して自身の状態を遷移させるものであり、信号の電気エネルギーを消費しない。すなわち、直流抵抗の高いものであり、たとえば1KΩであるとする。これに対して、バス伝送線路の特性インピーダンスは25~200Ωであり、バスのレシーバより1桁から2桁ものエネルギーを消費するものとなる。

【0009】 ちなみに、バス配線の長さを30cm、信

号伝播速度を 2×10^8 m/sとすると、その伝播時間は1.5 nsとなる。レシーバの分岐がどの位置にあるとも、伝送線路の全長を流れる間、すなわち、この1.5 nsの間はバスにエネルギーを供給する時間となり、ドライバはこの間エネルギーを供給し続けなければならない。すなわち、ドライバビリティは特性インピーダンスを負荷と見なした能力がなければならない。

【0010】たとえば、信号の遷移開始からバス終端への伝送が終了する直前までの等価回路を示す図18において、伝送線路111の始端に差動ドライバ112が接続されて構成される場合に、1.5 nsの間、伝送線路111によるバスは図18のような等価回路で電流を流し続けなければならない。ちなみに、差動ドライバ112の内部抵抗を 50Ω 、負荷抵抗を 50Ω 、Vdd電圧を0.5 Vとすると、5 mAのときに 50Ω でなければならない。この値は大きなドライバビリティを持つ差動ドライバ112であると見なすことができる。この等価回路において、終端に信号エネルギーが到達した瞬間から、信号は終端抵抗を認識したことになり、かつ伝送線路111へのエネルギーチャージは終了するため、その伝送線路111の特性インピーダンスと等価の負荷抵抗113は消え、等価回路は図19のようになる。

【0011】図19において、いま、終端抵抗114を伝送線路111によるバスの特性インピーダンスと整合した 50Ω とすると、全てのエネルギーは全てこの終端抵抗114で吸収され、熱となって放出される結果、反射エネルギーは帰らない。分岐などの小さな寄生素子による共振エネルギーによる乱れがあっても、この吸収によって、多重反射をすることがない。しかし、終端抵抗114はバスの特性インピーダンスと同じであるため、差動ドライバ112はハイ状態になっている限り、5 mAの電流を流し続けなければならない。従って、伝送線路111を駆動する差動ドライバ112はカレントスイッチ回路が望ましい。

【0012】また、終端抵抗114でのエネルギー吸収はバス配線系の消費電力を大きくするため、その吸収量を小さくしなければならない。すなわち、差動ドライバ112のドライバビリティを小さくするためには、直流抵抗を挿入し、電圧を下げるしかない。たとえば、差動レシーバの電圧感度を上げれば50 mVぐらいまでは可能である。電流回路や差動回路などが適切な差動ドライバと言える。原理的に、いくらでも信号振幅を小さくできる。このようなバス構造が高速伝送線路の理想像となる。

【0013】そこで、本発明の目的は、伝送線路とするバス構造に着目し、この伝送線路と、これに整合した終端回路とからなるバス配線系にドライバ回路を組み合わせた入出力回路において、ドライバ回路の回路構成を特定し、かつ伝送線路の特性インピーダンスを特定することによってバス配線系の信号伝送を高速化することがで

きる電子装置を提供するものである。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】すなわち、本発明の電子装置は、伝送線路と、これに整合した終端回路と、この伝送線路および終端回路からなるバス配線系に相補信号を供給するドライバとを有し、伝送線路および終端回路を有する配線基板に、ドライバを有する第1の集積回路チップが搭載されてなる電子装置に適用され、伝送線路は、対向ペア線路構造で 25Ω 以下の特性インピーダンスを有する線路が並列等長配線され、 25Ω 以下の純抵抗で終端されているバス構造とするものである。これにより、伝送線路および終端回路からなるバス配線系の信号伝送を高速に行うことができる。

【0017】この構成において、ドライバは、カレントスイッチ型のドライバとし、さらに純抵抗が直列に接続され、伝送線路の特性インピーダンスと同等以上、好ましくは3倍以上のオン抵抗となるようにしたものである。

【0018】また、第1の集積回路チップから第2の集積回路チップへの一方向の信号伝達構成に関する、本発明の電子装置は、伝送線路のバス上に分岐してレシーバを有する第2の集積回路チップが接続される構成において、このレシーバは、純抵抗が $1 K \Omega$ 以上のハイインピーダンスであり、さらにこのレシーバを4 mm以下の伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部に $0.4 K \sim 1 K \Omega$ の純抵抗が対向ペア線路の両方に直列接続され、また伝送線路と分岐配線との間の絶縁層の厚みは、伝送線路および分岐配線の対向ペア線路間の絶縁層の厚みの数倍となるようにしたものである。これにより、第1の集積回路チップから第2の集積回路チップへの一方向の信号伝送を高速に行うことができる。

【0019】さらに、ドライバを有する第1の集積回路チップよりファンアウトされる電源・グラウンド配線を伝送線路構造とし、さらにこの電源・グラウンド配線の伝送線路は、信号線の特性インピーダンスと同等か、それよりも低くなるようにしたものである。

【0020】また、前記とは反対に、第2の集積回路チップから第1の集積回路チップへの一方向の信号伝達構成に関する、本発明の電子装置は、伝送線路のバス上に分岐してカレントスイッチ型のドライバを有する第2の集積回路チップが接続され、第1の集積回路チップがハイインピーダンスのレシーバを有する構成において、第2の集積回路チップのドライバから送った相補信号を第

1 の集積回路チップのレシーバで受け取るものである。これにより、第 2 の集積回路チップから第 1 の集積回路チップへの一方方向の信号伝送を高速に行うことができる。

【0021】この構成において、ドライバから伝送線路に流れた信号はレシーバおよび終端回路の方向へそれぞれ $1/2$ の振幅で流れ、レシーバでは信号エネルギーが全反射してもとの振幅となり、レシーバが正常に動作し、一方、終端回路へ流れた信号エネルギーは吸収されて消去されるようにしたものである。

【0022】さらに、ドライバを伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部にアクティブな分岐配線のゲートのみを開けるためのバストランシーバゲートのチップが挿入され、この分岐配線は伝送線路より低い特性インピーダンス、好ましくは $1/2$ の特性インピーダンスを有し、さらにこのバストランシーバゲートのチップは、伝送線路の複数のバスをそれぞれのゲートでつなぐ集合チップ構成とし、電源・グラウンド配線の上を敷くように斜めに配列されるようにしたものである。

【0023】また、前記の第 1 の集積回路チップから第 2 の集積回路チップへ、第 2 の集積回路チップから第 1 の集積回路チップへの両者を合成した双方向の信号伝達構成に関する、本発明の電子装置は、伝送線路のバス上に分岐してレシーバとカレントスイッチ型のドライバとを有する第 2 の集積回路チップが接続され、第 1 の集積回路チップがドライバとハイインピーダンスのレシーバとを有する構成において、第 1 の集積回路チップのドライバおよびレシーバと、第 2 の集積回路チップのレシーバおよびドライバとの間で双方向に相補信号をやり取りするものである。これにより、第 1 の集積回路チップと第 2 の集積回路チップとの双方向の信号伝送を高速に行うことができる。

【0024】この構成において、第 1 の集積回路チップのドライバおよびレシーバの合成回路の出口に、出力時はハイインピーダンス、入力時は整合端になるような抵抗とゲートとを直列につないだ回路が伝送線路の入出力端間に挿入されようにしたものである。

【0025】さらに、第 2 の集積回路チップのレシーバおよびドライバを伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部にバストランシーバゲートと高抵抗とが並列に接続されたチップが挿入され、第 1 の集積回路チップの出力時はバストランシーバゲートが開き、入力時はバストランシーバゲートが閉じて高抵抗にエネルギーが供給されるようにしたものである。

【0026】また、伝送線路とのクロックタイミング整合に関する、本発明の電子装置は、伝送線路のバス上に分岐して第 2 ～第 n の複数の集積回路チップが接続され、第 1 の集積回路チップのドライバがコントロール機

能を有する構成において、伝送線路内に数パルスの信号が進行するときのタイミングの取り方は、第 1 の集積回路チップが第 2 ～第 n の各集積回路チップのエコー時間を測定し、最長エコー時間を持つ集積回路チップに復路クロックアクティブを与え、この復路クロックアクティブが与えられた集積回路チップが往路クロック信号を検出し、それをもとに第 1 の集積回路チップが復路クロック信号を発生し、復路クロックアクティブが与えられた集積回路チップがデータストロブ信号を折り返し発信するものである。これにより、第 1 の集積回路チップと第 2 ～第 n の複数の集積回路チップとの間において、伝送線路とクロック信号とのタイミング整合を取ることができる。

【0027】この構成において、第 1 の集積回路チップが受け取るデータのタイミングを知る方法は、第 1 の集積回路チップからの制御信号が読み出し命令のときだけ、復路クロック信号を発生する集積回路チップがデータストロブ信号を伝送線路から再度受け取り、これも遅延データストロブ信号として折り返し発信するようにしたものである。

【0028】特に、前記電子装置において、伝送線路は、差動相補信号を伝達する差動伝送線路であり、かつドライバは差動ドライバ、レシーバは差動レシーバとするものである。主に、差動伝送線路を特徴としているが、通常の伝送線路に置き換えても本発明を適用することが可能であることは言うまでもない。また、第 1 の集積回路チップは、伝送線路の始端に接続されるコントローラチップなどであり、かつ第 2 の集積回路チップはメモリ・入出力インターフェースチップなどとするものである。

【0029】よって、前記電子装置によれば、伝送線路と、これに整合した終端回路とからなるバス配線系にドライバを組み合わせた入出力回路において、ドライバをカレントスイッチ型に特定し、かつ伝送線路を 25Ω 以下の特性インピーダンスを有する線路の並列等長配線に特定することにより、伝送中の信号エネルギーの減衰および近接する伝送線路間の電磁界干渉を抑制し、バス配線系の信号伝送を高速化することができる。

【0030】特に、差動伝送線路の始端に接続される、差動ドライバおよび差動レシーバを有するコントローラチップと、この差動伝送線路に分岐して接続される、差動レシーバおよび差動ドライバを有するメモリ・入出力インターフェースチップとの間において、コントローラチップからメモリ・入出力インターフェースチップへ、メモリ・入出力インターフェースチップからコントローラチップへの一方方向、およびその互いの双方向における信号伝送の高速化を図り、バス配線系の高速度伝送線路を実現することができる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態を図 1

10

20

30

40

50

～図 16 の図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0032】まず、図 1 により、本発明の一実施の形態である電子装置の概要を説明する。図 1 は本実施の形態の電子装置において、入出力回路の要部である、伝送線をループとしたカレントスイッチ型のドライバ回路の一例を示す概略回路図であり、(a) は CMOS 回路で作った場合、(b) はバイポーラ回路で作った場合をそれぞれ示す。

【0033】図 1 のように、本実施の形態においては、差動相補デジタル信号を伝達する伝送線路 1 と、それに整合した終端回路である終端抵抗 2 とからなるバス配線系に、カレントスイッチ型の差動ドライバ 3 を組み合わせた入出力回路を構成し、伝送線路 1 および終端抵抗 2 などを有する配線基板に、差動ドライバ 3 などを有する集積回路チップが搭載されて電子装置が構成されるものである。この構成においては、伝送線路 1 と終端抵抗 2 とが整合していれば、差動ドライバ 3 の負荷は終端抵抗 2 と同じ直流抵抗が挿入された回路であると言える。図 1 は、これをカレントスイッチ型の差動ドライバ 3 に置き換えたものである。

【0034】CMOS 回路構成による差動ドライバ 3 a は、図 1 (a) のように、pMOS トランジスタ Q1 と nMOS トランジスタ Q2、nMOS トランジスタ Q3 と pMOS トランジスタ Q4、電源電圧 Vdd との間の抵抗 R1、グラウンド電圧との間の抵抗 R2 からなり、入力のデジタル信号が各トランジスタ Q1～Q4 のゲートに入力され、pMOS トランジスタ Q1 と nMOS トランジスタ Q2 との接続ノード、nMOS トランジスタ Q3 と pMOS トランジスタ Q4 との接続ノードからそれぞれ、相補デジタル信号が取り出され、終端抵抗 2 につながる差動ペア信号線の伝送線路 1 に送られる。

【0035】バイポーラ回路構成による差動ドライバ 3 b は、図 1 (b) のように、npn トランジスタ Q5 と pnp トランジスタ Q6、pnp トランジスタ Q7 と npn トランジスタ Q8、電源電圧 Vdd との間の抵抗 R3、グラウンド電圧との間の抵抗 R4 からなり、入力のデジタル信号が各トランジスタ Q5～Q8 のベースに入力され、npn トランジスタ Q5 と pnp トランジスタ Q6 との接続ノード、pnp トランジスタ Q7 と npn トランジスタ Q8 との接続ノードからそれぞれ、相補デジタル信号が取り出され、終端抵抗 2 につながる差動ペア信号線の伝送線路 1 に送られる。

【0036】図 1 (a) の CMOS 回路、図 1 (b) のバイポーラ回路でも同じであるが、ここでは主に CMOS 回路の構成について説明する。いま、入力のデジタル信号がハイからロウへ変換すると、nMOS トランジスタ Q2 と nMOS トランジスタ Q3 がオンとなる。そして、伝送線路 1 の一方の上部信号配線に電源電圧 Vdd

から電荷が流れ、下部信号配線は電荷がグラウンド電圧へ引き抜かれる。よって、伝送線路 1 の特性インピーダンスまたは終端抵抗 2 を介して、この間に電流が流れていることになる。また、入力のデジタル信号がロウからハイになると反転し、電流は逆に流れることになる。電源電圧 Vdd からグラウンド電圧を見たとき、常に一定の電流が流れ、カレントスイッチという形態になっていることが判明する。

【0037】従って、ECL (Emitter Coupled Logic) のように常に電流が流れているため、抵抗 R1 と抵抗 R2 は適当な大きさを与え、できるだけ小さな電流、すなわち、少ない電荷量の移動で関知可能なレシーバを備えるようにする。CMOS 回路とバイポーラ回路とのどちらが有利かは、デバイスの構造によるが、CMOS 回路のしきい値電圧のばらつきを小さくすることは難しく、また、ゲートの非常に薄い酸化膜の静電破壊の問題を避けるには、ECL などでも実績のあるバイポーラ回路の方が格段に良いということになる。後で述べるレシーバのクランプダイオードを除去し、その空乏層容量を排除するため、静電破壊し易くなる回路を強くするためにもバイポーラインターフェース回路がよい。もちろん、内部回路は集積度に有利な CMOS 回路などの回路である。

【0038】以上のように、本実施の形態においては、第 1 の要点として、伝送線路 1 と、それに整合した終端抵抗 2 とからなるバス配線系にカレントスイッチ型の差動ドライバ 3 を組み合わせたチップ入出力回路を特徴とするものである。この差動ドライバ 3 がカレントスイッチ回路であるため、電源・グラウンド系は常に一定の電流が流れているため、バイパスコンデンサは不要となる利点がある。しかし、伝送線路 1 上の遅延で、遷移状態のときにカレントスイッチするときもあり、さらに、レシーバの駆動に際して定電流とならない回路を使うこともあり、入出力回路系にバイパスコンデンサを挿入することは適切なものとなる。

【0039】次に、図 2 により、伝送線路 1 によるバス配線構造に関し、ここでは差動伝送回路について説明する。図 2 は、伝送線路のペア線路間の絶縁層の厚みと電磁界の広がりの一例を説明するための概略断面図であり、(a) はペア線路間が離れている場合、(b) は狭い場合をそれぞれ示す。

【0040】たとえば、プロセッサチップやメモリ・入出力コントローラチップ、さらにはメモリチップより導出した差動ペア信号線は、数十から数百本が並列に近い形で配線しなければならない。当然、隣接距離が狭く配置されることになり、信号線間のクロストークが大きくなる。差動ペア信号線の信号伝送に対する電磁界の広がりを小さくすれば、このクロストークは小さくなる。これを実現するには隣接信号線間のスペースより相対的にペア線路の対向する上下間隔、すなわち、この間の絶縁

層の厚みを小さくすればよい。信号配線幅をスペースより小さくする案もあるが、表皮効果による直流抵抗の増大を招き、好ましくない。

【0041】すなわち、図2(a)のようにペア線路4の間の絶縁層5の厚みが厚い場合には、フリッジ効果が大きいので電磁界の広がり6が大きくなり、電磁界の干渉が発生するが、図2(b)のように、ペア線路4の線幅をそのままにして、ペア線路4の間の絶縁層5の層間絶縁膜を薄くすると、ペア線路4間に電磁界が集中して電磁干渉がほとんどなくなるとともに、ペア線路4の特性インピーダンスが小さくなる。

【0042】しかし、小さくなった特性インピーダンスのペア線路4はその抵抗分電流が多く流れ、電力消費が大きくなる。これを防止するためには、さらにハイインピーダンスの直流抵抗を挿入した差動ドライバを使用すればよい。たとえば、前記した図18の回路状態のときで、ペア線路4の特性インピーダンスが15Ωのときを考えると、5mA(0.5V振幅)にするには差動ドライバ3の電流バス系の全抵抗を85Ωにすればよい。当然、前記した図19の状態のときを整合させなければならぬため、終端抵抗2は15Ωである。

【0043】従来、伝送線路1は50Ωや75Ωの特性インピーダンスが常識であり、これは電流損を防ぐための設定であった。確実な整合端を作ればエネルギーは全く反射しないため、差動ドライバ3に戻る反射波は0である。これを守れば、25Ω以下の特性インピーダンスを設定しても問題がない。よって、低い特性インピーダンスを差動信号の伝送線路1で実現するには、薄い絶縁層5で対向する図2(b)のようなペア線路4を構成する必要がある。この絶縁層5が薄いほど特性インピーダンスが小さくなる。

【0044】たとえば、特性インピーダンスZ₀の近似式は、

【0045】

【数1】

$$Z_0 = (h/w) \times \sqrt{\mu_0 \cdot \mu_r / \epsilon_0 \cdot \epsilon_r}$$

$$= 377 \times (h/w) / \sqrt{\epsilon_r}$$

【0046】のようになる。ただし、w=線幅、h=絶縁層厚、μ₀=真空中の透磁率、μ_r=比透磁率、ε₀=真空中の誘電率、ε_r=比誘電率である。

【0047】このように、本実施の形態においては、ペア線路4の間の絶縁層5を薄くすることにより、より電磁波が絞られ、隣接クロストークが抑えられ、ペア線路4は準TEMの伝送線路1として保持され、損失エネルギーに相当する共振や反射がなくなり、全てが良い方向となる。

【0048】次に、図3により、伝送線路1のバス上で多数の差動レシーバの分岐を取る構造について説明する。図3は、1つの単位のバス構造の一例を示す概略概

念図であり、(a)は基本バス構造、(b)は分岐配線が必要な分岐構造をそれぞれ示す。なお、ペア線路4において、点線の配線は実線の配線に対して下層に位置している反対位相の配線であり、また1本のペア線路4のみを記入したが、これが数十本から数百本並列に並んでいる構造が実用バスとなる。

【0049】図3(a)のように、伝送線路1においては、伝送線路1のバス上で多数の差動レシーバ7の分岐を取らなければならない。前記したように、ペア線路4が準TEMの伝送線路1を保持する条件として、差動レシーバ7のインピーダンスが高い直流抵抗成分だけにならなければならない。そのために、分岐配線の長さがほとんどない実装形態、すなわち、ペアチップ実装形態が必要となり、差動レシーバ7はCMOSゲートでもよいがゲート容量が0.05pF以下にしなければならない。ここでは、クランプダイオードの挿入は好ましくない。また、バイポーラ回路でもベースの空乏層を含めた入力容量は0.05pF以下にしなければならない。空乏層容量を減らす方法としてSOI(シリコン・オン・インスレータ)構造などがあり、これらを実現した構造も本特許の範囲である。

【0050】0.05pF以下を実現するのが難しいこともあり、本実施の形態においては、図3(b)のように、差動レシーバ7の端部に0.4k~1kΩ程度の抵抗8を挿入し、差動レシーバ7が比較的大きな容量を持っていても導かれた電流が小さいため、バスの対向のペア線路4へ与える影響はほとんどなくなる。ちなみに、100個の差動レシーバ7の分岐を付ければ電圧波形は100/1k~0.4k=10~25%だけ減衰するが、波形の変形はないために信号伝送に問題は生じない。

【0051】また、差動レシーバ7の容量は少ない電流で反応を速くしなくてはならないため、時定数1nsの立ち上がり、立ち下がり保証するには1p~2.5pF以下にする必要がある。このときの変化する電圧vは、

【0052】

【数2】

$$v = V_0 \times \exp(-t/R \cdot C)$$

【0053】となる。ただし、R=抵抗、C=負荷容量、t=経過時間、時定数t_r=RCのときにv

(t_r)=0.63V₀であり、V₀は分岐回路に入力された信号最大振幅である。しかし、1桁大きな差動レシーバ7が採用できる。この場合に、時定数0.2psの立ち上がりでは0.2p~0.5pFの容量を実現しなければならない。これらの値はパッケージ配線がなければ、集積回路チップのレシーバ容量として可能な領域である。

【0054】もし、差動レシーバ7の分岐配線9にある長さが必要な場合は、図3(b)のように、これを準TEMの伝送線路構造とすることで、ペア線路10の寄生リアクタンスを消して、伝送することも可能である。この分岐配線9の配線系から容量を削除できる効果は大き

く、入力回路のゲート容量かベース容量のみとなる利点がある。その特性インピーダンスは、隣接する分岐と干渉しない範囲において高い特性インピーダンスでもよい。いずれにしても、差動レシーバ 7 の端部で全反射し、 $v(t) = 2V$ となり、前記条件で遷移時間 0.5 ns が 0.25 ns となり、 $1/2$ が達成できる利点がある。なお、この場合、分岐配線 9 の線路内で多重反射するが、線路が 4 mm 以内と短ければこの最低共振周波数は 4.7 GHz ($=1.5\text{ m/s (光速)}/0.04\text{ m} \times 8$ 、往復線路に $1/4$ 波長が乗るとして $1/8$) と高く、問題がない。

【0055】ここで、以上において説明した第 2 の要点をまとめると、伝送線路 1 で構成された前記図 2 の断面構造のように対向のペア線路 4 の構造で $25\ \Omega$ 以下の特性インピーダンスを有する線路が並列等長配線され、 $25\ \Omega$ 以下の終端抵抗 2 で終端されている構造のバス構造であることを特徴とするものである。さらに、集積回路チップの差動ドライバ 3 は、伝送線路 1 の特性インピーダンスと同等以上、好ましくは 3 倍以上のオン抵抗となるものであり、要すれば差動ドライバ 3 に純抵抗が直列に接続され、適切なオン抵抗となるものである。また、伝送線路 1 のバス上に接続される差動レシーバ 7 は、ハイインピーダンスであることを特徴とするもので、純抵抗は $1\text{ k}\Omega$ 以上を条件とする。さらに、バス上の任意の位置に 4 mm 以下の伝送線路構造の分岐配線 9 を伴ってハイインピーダンスの差動レシーバ 7 を接続するとき、分岐部に $0.4\text{ k}\sim 1\text{ k}$ の抵抗 8 をペア線路 10 の両者に直列接続することを特徴とする構造である。この原理構造を示すと前記図 1 のようになり、これを基本単位として隣接に平行等長配線されているバス構造となる（前記図 2）。また、差動レシーバ 7 の分岐構造は前記図 3 のようになる。

【0056】次に、図 4～図 6 により、差動レシーバ 7 の分岐構造の具体例を説明する。図 4 は差動レシーバ 7 の分岐構造の一例を示す概略斜視図、図 5 は前記図 3 (a) に対応する基本バス構造の一例を示す概略平面図、図 6 は前記図 3 (b) に対応する分岐配線 9 が必要な分岐構造の一例を示す概略平面図である。

【0057】図 4 のように、伝送線路 1 の対向のペア線路 4 は、絶縁層 5 を挟んで差動レシーバ 7 の集積回路チップが実装される側の上部信号配線 11 とその反対側の下部信号配線 12 とからなり、上部信号配線 11 はこの配線から分岐して分岐電極 13 が設けられ、下部信号配線 12 は絶縁層 5 に開孔されたビアホール 14 を介して上部に分岐電極 15 が設けられている。これらの分岐電極 13、15 に差動レシーバ 7 の集積回路チップを実装する構造となっている。

【0058】この差動レシーバ 7 の集積回路チップの実装においては、図 5 のように、対向のペア線路 4 の上部信号配線 11、下部信号配線 12 につながる分岐電極 1

3、15 上に、直接、集積回路チップ 16 のフリップチップ電極接合部 17 を実装して電氣的に接続する場合と、図 6 のように、対向のペア線路 4 の上部信号配線 11、下部信号配線 12 につながる分岐電極 13、15 と、集積回路チップ 16 が実装される分岐配線 9 のペア線路 10 との間に抵抗 8 の高抵抗チップ 18 を実装し、ペア線路 4 と集積回路チップ 16 の差動レシーバ 7 とを電氣的に接続する場合とがある。なお、図 6 のように高抵抗チップ 18 を実装する際には、当然、ペア線路 10 の下部信号配線につながる配線は上部からビアホール 19 を介して下部につながる。

【0059】次に、図 7 により、伝送線路 1 と分岐配線 9 との配線層構造について説明する。図 7 は、4 層の配線層構造の一例を示す概略断面図である。

【0060】この伝送線路 1 のペア線路 4 と分岐配線 9 のペア線路 10 との配線層構造において、対向のペア線路 4 が数十本から数百本あるときの分岐は、当然、多層構造となり、図 7 のように、一番上層（第 1 層）とその下部層（第 2 層）が分岐配線 9 の配線層で、第 3 層と第 4 層が伝送線路 1 のバス配線層とすれば構成できる。この 4 層構造においては、バス対向のペア線路 4 間の絶縁層 5 の厚み t_1 は $1\sim 5\ \mu\text{m}$ 程度であり、分岐配線 9 の対向のペア線路 10 間の絶縁層の厚み t_2 も同様である。また、伝送線路 1 のバスと分岐配線 9 は直交するため、そのクロストークを抑える意味から、この間の絶縁層 20 の厚み t_3 は 2 倍から 20 倍程度のものであればよいが、ビアホールの長さを大きくすると、これは不整合配線であり、電磁乱れの生じる元となるため、数倍といたところが適切である。この図 7 では基板材料 21 の下部に配線がないが、上部から下部に折り返し配線をすることも可能である。

【0061】次に、図 8 により、差動ドライバ 3 の集積回路チップよりファンアウトする部分について説明する。図 8 は、差動ドライバ 3 の集積回路チップのファンアウト構造とバイパスコンデンサの配置の一例を示す概略配置図である。

【0062】図 8 のように、差動ドライバ 3 の集積回路チップ 22 は、差動ドライバ 3 などの入出力回路を含む周辺回路 23 と、この周辺回路 23 につながる内部回路 24 などからなり、周辺回路 23 の外端部に、この集積回路チップ 22 の外部と接続するためのボンディングパッド 25 が設けられている。この集積回路チップ 22 は、伝送線路 1 が形成された配線基板 26 の主面上に実装され、ワイヤボンディングによるボンディングワイヤ 27 により伝送線路 1 とボンディングパッド 25 とが電氣的に接続される構造となっている。

【0063】この集積回路チップ 22 のファンアウト構造においては、伝送線路 1 の対向のペア配線は、ボンディングパッド 25 へのワイヤボンディングによるボンディングワイヤ 27 の直後から形成され、特性インピーダ

10

20

30

40

50

ンスが一定になるように同じ幅でファンアウトされている。また、差動ドライバ3の近傍にはバイパスコンデンサ28が挿入されているとともに、この差動ドライバ3を駆動する電源電圧およびグラウンド電圧の共通電源リード、共通グラウンドリードによる電源・グラウンドペア線路29（電源：上部、グラウンド：下部）も記入されている。このファンアウト構造は、当然、図8の矢印（→：右）の方向に続いていて、対向ペアの信号リードおよび反転信号リードによる伝送線路1が終端抵抗2につながっている。

【0064】また、この差動ドライバ3は、鏡像的な信号変化をするため、電源・グラウンドペア線路29は鏡像的な電荷の移動があり、ペア線路にすることで電磁的な乱れが防止できる。すなわち、リアクタンスのない配線が形成され、図8に示したような配線インダクタンス30が消去できる。この構造においては、ファンアウト後にスペース的な余裕ができるため、その部分にバイパスコンデンサ31が挿入されている。また、伝送線路1に分岐して接続される差動レシーバ7も、鏡像的な電荷移動がなされるような回路で、電源・グラウンドペア配線にすることで求められる好ましい例となる。

【0065】このファンアウト構造においては、信号配線のペア線路4の特性インピーダンスは15Ωであるが、差動ドライバ3の直流抵抗が大きく、電源・グラウンドペア線路29の特性インピーダンスは15Ωでも十分に対応できる。しかし、好ましくはさらに特性インピーダンスの低下が望ましく、配線幅を信号線の2倍（7.5Ω）、4倍（3.25Ω）、6倍（2.5Ω）（V_{dd}=3.3V、7.5%電圧降下条件で常時100mA電流能力）さらにそれ以上にすることが望ましい。信号線10μm幅の時、20、40、60、・・・μmとなり十分可能である。これにより、1本の電源・グラウンドペア線路29で信号線ペアの8本から16本をカバーできるものとなる。またバイパスコンデンサの採用で32本～64本も可能となる。なお、このときは集積回路チップ22内の電源・グラウンド配線が長くなるため、同じ特性インピーダンスになるようにペア線路構造を取ることが望ましい。これにより内部回路に電力を供給できる能力を有するものとなる。

【0066】ここで、第3の要点をまとめると、電源電圧、グラウンド電圧の配線を電源・グラウンドペア線路29の伝送線路構造とすることを特徴とするもので、この第3の要点と前記第1、第2の要点とを組み合わせた構造である。そして、その電源・グラウンドペア線路29の伝送線路の特性インピーダンスは、信号線の特性インピーダンスと同等か、それより低いことを特徴とするものである。

【0067】次に、図9により、伝送線路1から分岐された差動レシーバ7の構造を詳細に説明する。図9は、分岐配線9からコントローラの差動レシーバに信号を伝

える一方向バスの構造の一例を示す図であり、(a)は分岐配線9から一方向に信号を送る概略概念図、(b)はその1つの差動ドライバがアクティブになったときの等価回路図をそれぞれ示す。

【0068】通常、バスの伝送線路1につながる差動ドライバ3は、具体的な電子装置ではメモリコントローラやバスコントローラである。一方、差動レシーバ7は、メモリチップやグラフィックなどの入出力インターフェースチップである。当然のことながら、メモリチップやインターフェースチップからのデータ出力は必要であり、このチップ群も差動ドライバを有し、信号が出力される。前記図1～図8で示した構造は一方向バスであり、常に差動ドライバ3から差動レシーバ7に向かって信号が伝達される回路である。これに対して、メモリチップやインターフェースチップなどのチップ群、すなわち、分岐ポートが差動ドライバになったときも同様な一方向バスの伝送線路回路を作れば、このバス配線系の信号伝達構成が完成することになる。

【0069】そこで、図9のように、伝送線路1の始端に、たとえば集積回路チップであるコントローラチップ41の差動レシーバ42を接続し、終端に終端抵抗2が接続されるバス配線系に、たとえば集積回路チップであるメモリ・入出力インターフェースチップ43の差動ドライバ44が接続される構造を考えると、以下のようなになる。図9(a)は伝送線路1の分岐配線9につながっている左端の差動ドライバ44がアクティブであるとしたときの例であり、ペア線路4において点線の配線は実線の配線の下層に位置している反対位相の配線である。

【0070】この構成においても、前記図1～図8で説明した構造と同様のカレントスイッチ型の差動ドライバ44が分岐チップのメモリ・入出力インターフェースチップ43にも付けられていて、これが出力されると、対向のペア線路4に信号が流れる。この信号の一部が、コントローラチップ41の差動レシーバ42に到達し、この差動レシーバ42がこれを感じ取る。その等価回路を示したのが図9(b)である。ここでも、メモリ・入出力インターフェースチップ43の差動ドライバ44は、pMOSトランジスタQ41とnMOSトランジスタQ42、nMOSトランジスタQ43とpMOSトランジスタQ44、電源電圧V_{dd}との間の抵抗R41、グラウンド電圧との間の抵抗R42からなるCMOS回路構成によるカレントスイッチ回路が図示されているが、バイポーラ系の方が好ましい場合が多いことは前記と同様である。

【0071】この構成において、メモリ・入出力インターフェースチップ43の差動ドライバ44からの信号は、バス配線系の伝送線路1に流れると、このペア線路4の左右方向に流れるため、出力波形に対して進行波の波形の高さは1/2となる。右方向に流れる進行波の波形は、伝送線路1と整合した終端抵抗2に到達すると完

全に熱エネルギーになって放出され、波形は消滅する。

【0072】一方、左方向に流れた進行波の波形はコントローラチップ41の差動レシーバ42に到達するが、この差動レシーバ42の負荷抵抗45は非常に高く、数kから1MΩ程度であり、伝送線路1の15Ωから比べれば、開放端と近似できるため、ほぼ全反射する。このため、差動レシーバ42の負荷端の電圧波形は差動ドライバ44が出力した波形とほぼ同様な振幅の波形を作る。そして、全反射した波形は図示したように右方向に流れ、終端抵抗2で熱となって消滅する。なお、分岐されているどのチップがアクティブになっても同様であることは容易に理解されよう。また、図9では1本のペア線路4のみを記入したが、これが数十本から数百本並列に並んでいる構造が実用バスとなることは言うまでもない。

【0073】さらに、前記と同様に、分岐配線9にある長さが必要なときは、分岐線を伝送線路構造とする。タイミングさえ合えばどんなに長い分岐配線9でも図9(b)の波形伝送が保証できる。しかしながら、いくつもの分岐配線9があるため、有効信号がこの分岐点を通る度に分岐配線9にエネルギーが取られ、振幅が小さくなり、差動レシーバ42のしきい値を越えられない可能性がある。このため、分岐配線9の分岐点にバストランシーバチップを挿入する構造が採用されている。

【0074】次に、図10により、分岐配線9の分岐点にバストランシーバチップを挿入する場合について説明する。図10は、分岐配線9に長さが必要なときのバストランシーバによる接続分岐構造の一例を示す図であり、(a)はバストランシーバチップの接続構造を示す概略概念図、(b)はその等価回路図である。

【0075】図10(a)のように、バストランシーバチップ46の接続構造においては、最上層の2層は対向のペア線路10による分岐配線9の配線層であり、その下の2層(3層、4層)は対向のペア線路4による伝送線路1のバス配線層である。さらに、バストランシーバチップ46の電源・グラウンドペア線路29による電源供給線はさらにその下の2層(5層、6層)となっていて、平行するバス線路に分岐する配線を取り出す接続点に沿って斜めに配線されている。この接続端子部にバストランシーバチップ46の単体チップがフリップチップ接続で付けられている。また、分岐配線9の配線層には、チップイネーブル信号の配線も配置されている。この単体チップの差動アンプに電気エネルギーを供給するため、電源・グラウンドペア線路29の配線層からビアホールを介してバストランシーバチップ46にフリップチップ接続されているが図では省略されている。

【0076】この接続構造の等価回路は図10(b)のようになる。差動バス配線の伝送線路1の両者に対してバストランシーバチップ46のnMOSトランジスタQ45、Q46によるスイッチが働くようになっていて、差

動イネーブル信号がアクティブになると、分岐配線9からの信号がバスの伝送線路1に流れることになる。メモリ・入出力インターフェースチップ43が付いているドライバがアクティブになるときだけこの状態となるが、通常はイネーブル信号がノンアクティブになっていて、バストランシーバチップ46のnMOSトランジスタQ45、Q46のゲートが閉じている。このときは数kから1MΩ程度のインピーダンスになり、バスの伝送線路1と遮断される。バストランシーバチップ46のイネーブル信号用バッファ47を駆動するための電源・グラウンドペア線路29の接続はここでも省略されているが、容易に想像できるものである。

【0077】この接続構造において、分岐配線9も伝送線路となっていて、この配線から見たバス配線の伝送線路1は、両サイドへエネルギーが流れるため、バス配線の特性インピーダンスの1/2に見える。従って、バス配線の接合部で反射をしないようにするには分岐配線9はバス配線の1/2の特性インピーダンスを持つことが望ましい。しかし、配線が短ければ、反射ノイズの影響は信号遅移時間の間に収まり大きな問題でなくなるため、必ずしも整合条件が必要ではない。従って、好ましい条件はバス配線の伝送線路1の特性インピーダンスと同じかそれよりも低いことであろう。なお、バストランシーバチップ46は1個のトランジスタで形成できるため、高速動作が可能であり、高速信号に追従できる。

【0078】以上の説明で分かるとおり、本実施の形態の第4の要点は、差動バス配線の伝送線路1につながっている分岐チップのメモリ・入出力インターフェースチップ43から、差動バス配線の始端に接続されているコントローラチップ41へ信号を流すときの回路構成と構造を規定するものである。すなわち、分岐チップの差動ドライバ44はカレントスイッチ回路であり、コントローラチップ41の差動ドライバと同じ特性を持つものである。この差動ドライバ44の振幅はコントローラチップ41のそれと同じであるが、分岐配線9から伝送線路1への信号の伝達は基本的にT型分岐となるため、バス配線に流れるときは両サイドに流れるため、1/2となる。しかし、差動レシーバ42の端部では信号エネルギーが全反射し、振幅は元のとおりとなり、差動レシーバ42が正常に動作する。また、終端側へ流れる信号エネルギーを消去するため、差動バス配線の終端はこの特性インピーダンスに整合した直流抵抗による終端抵抗2が直列に接続されている。

【0079】さらに、差動バス配線は25Ω以下の特性インピーダンスを持っているため、電流の節約を図るため、カレントスイッチ回路の差動ドライバ44は電源側とグラウンド側に適切な直流抵抗が挿入されていることを特徴としている。また、分岐チップが差動バス配線の直上に存在するときはバストランシーバチップ46の回路は分岐チップ内に設けられることを特徴とする。ま

た、分岐チップが差動バス配線上に載せられず、分岐配線 9 にある長さが必要なときは分岐端にバストランシーパチップ 46 を挿入する構造を提供するもので、その分岐配線 9 はバスより低い特性インピーダンスを持つ、好ましくは $1/2$ のインピーダンスを持つことを特徴とするものである。

【0080】すなわち、アクティブな分岐配線 9 のゲートのみを開けるため、主線路上の分岐配線 9 のピアホール近接のパッド上にバストランシーパチップ 46 を実装する構造も加わることに、タイミングを工夫すれば、分岐配線 9 の線路長を自由に調整することができる。また、バストランシーパチップ 46 は一伝送線路毎の小チップをフリップチップで接続することも可能であるが、複数のバスをそれぞれのゲートでつなぐ集合チップ構成（細長いチップ）とすることも可能である。このとき前記図 10(a) の電源線の上を倣うように斜めに配列することになる。

【0081】以上において、前記図 1～図 8 による要点は、コントローラチップ 41 からメモリ・入出力インターフェースチップ 43 などの分岐チップへの信号伝達方法を規定するもので、前記図 9、図 10 による要点は分岐チップからコントローラチップ 41 へ伝達する方法を規定するものである。すなわち、一方向の信号伝達バスの構造であった。以降においては、この両者を合成した伝達を規定する構造を提案するものである。

【0082】次に、図 11 により、一方向の信号伝達バスの構造を合成した往復の信号伝達バス構造について説明する。図 11 は、往復伝送線路とその入出力回路の一例を示す概略回路図である。

【0083】図 11 においては、コントローラチップ 51 とメモリ・入出力インターフェースチップ 52 が、バストランシーパチップ 53 を介在して差動ペアの伝送線路 1 で結線された状態を示す。この接続においては、コントローラチップ 51 とメモリ・入出力インターフェースチップ 52 のそれぞれの差動ドライバ 54、56 と差動レシーバ 55、57 を分離する回路は煩雑になるため省略されている。通常用いられているトランジスタゲートを挿入すればよい。

【0084】コントローラチップ 51 は、差動ドライバ 54 が前記と同様に、pMOS トランジスタ Q51 と nMOS トランジスタ Q52、nMOS トランジスタ Q53 と pMOS トランジスタ Q54、電源電圧 Vdd との間の抵抗 R51、グラウンド電圧との間の抵抗 R52 からなる CMOS 回路構成によるカレントスイッチ回路からなり、また、差動レシーバ 55 が差動センスアンプからなり、この差動センスアンプの入力端に終端抵抗 58 を介して pMOS トランジスタ Q55 が接続されて構成されている。

【0085】メモリ・入出力インターフェースチップ 52 は、差動ドライバ 56 が前記と同様に、pMOS

トランジスタ Q56 と nMOS トランジスタ Q57、nMOS トランジスタ Q58 と pMOS トランジスタ Q59、電源電圧 Vdd との間の抵抗 R53、グラウンド電圧との間の抵抗 R54 からなる CMOS 回路構成によるカレントスイッチ回路からなり、また、差動レシーバ 57 が差動センスアンプから構成されている。

【0086】バストランシーパチップ 53 は、コントローラチップ 51 に接続される差動ペア線路による伝送線路 1 と、メモリ・入出力インターフェースチップ 52 に接続される差動ペア線路による分岐配線 9 との間に接続され、ペア線路のそれぞれに接続される、並列接続された nMOS トランジスタ Q60、Q61 と分岐エネルギー取り込み制限用の抵抗 R55、R56 から構成されている。

【0087】この接続構成において、コントローラチップ 51 の差動ドライバ 54 による出力回路がアクティブのときはイネーブル信号はハイになり、結合されている pMOS トランジスタ Q55 がオフになり、この部分がハイインピーダンスとなって、伝送線路 1 に差動ドライバ 54 のエネルギーのまま出力される。この信号がメモリ・入出力インターフェースチップ 52 につながっているバストランシーパチップ 53 の抵抗 R55、R56 を介して分岐配線 9 に入力され、分岐線路の終端につながっている差動レシーバ 57 であるセンスアンプを動作させ、入力を達成する。伝送線路 1 によるバスに流れているエネルギーは右端の終端抵抗 2 で熱になって吸収され、反射しない。

【0088】一方、メモリ・入出力インターフェースチップ 52 がドライバになるときも同様に、差動ドライバ 56 のカレントスイッチが働き、分岐配線 9 へ出力される。このときバストランシーパチップ 53 の nMOS トランジスタ Q60、Q61 がオンとなり、前記図 9(b) のように、差動ペア線路による伝送線路 1 の両端に向かって分流する。右側に向かった信号は終端抵抗 2 で吸収されて消える。左側に流れた信号はコントローラチップ 51 の差動レシーバ 55 に取り込まれ、入力を果たすが、センスアンプはハイインピーダンスであり、全反射し、右へ 2 つ目の無駄信号が流れる。

【0089】このような無駄信号が伝送線路 1 に浮遊するため、各チップからの信号の交錯があり、タイミングを取り難くなる。これを防止するため、コントローラチップ 51 の端部も整合端にする終端抵抗 58 が挿入されている。コントローラチップ 51 に信号が入力するときは、イネーブル信号の pMOS トランジスタ Q55 がオンになって、これに直列に付いている終端抵抗 58 が生きてエネルギーの大部分が吸収され、反射しない。この終端抵抗 58 間の電圧を差動レシーバ 55 のセンスアンプが感じるが、振幅が差動ドライバ 56 の半分になっている信号を取り込むことになるため、それを感じる感度がなければならない。

10

20

30

40

50

【0090】以上により、第5の要点をまとめると、伝送線路1を往復線路とする構成も本実施の形態で規定する。これは、前記図1～図8による回路と、前記図9、図10による回路を合成したものであり、差動ドライバ56と差動レシーバ57のチップ内での結合はゲートにより行い、ハイインピーダンス分離ができるものとする。この往復回路にあっては、信号が交錯するため、伝送線路1の伝送状態を乱さない無駄信号の浮遊伝送を少なくする工夫を取ることがこの場合の特徴である。すなわち、コントローラチップ51の差動ドライバ54、差動レシーバ55の合成回路の出口に、出力時はハイインピーダンス、入力時は整合端になるような終端抵抗58とpMOSトランジスタQ55によるゲートを直列につないだ回路を伝送線路1の入出力端間に挿入することでこの目的を達成することができる。

【0091】さらに、分岐配線9のピアホール近接のパッドにはバストランシーパッチ53のnMOSトランジスタQ60、Q61によるゲートと抵抗R55、R56が並列に挿入され、分岐チップであるメモリ・入出力インターフェースチップ52からの出力時はゲートが開き、分岐チップへの入力時はゲートが閉じ、抵抗R55、R56によりエネルギーが少量流れる回路に供給されることを特徴とする。被コントロール側のチップの差動ドライバ56、差動レシーバ57の結合はゲートで行い、互いにハイインピーダンスの分離ができていることは論を持たない。

【0092】当然のことながら、差動伝送線路を基本として説明したが、通常伝送線路に置き換えても、すなわち、一方の電極をグラウンドにし、コモンとする回路構成も取れることは、電気エネルギーの伝送の基本、パルスエネルギーが進行するときは近傍の配線に反対位相のエネルギーが並送するという基本から見て当然可能なことであり、本特許の範囲に入ることは言うまでもない。

【0093】次に、図12により、伝送線路1内に数パルスの信号が進行するときのタイミングの取り方について説明する。図12は、ある瞬間を見たときの伝送線路内の電圧プロファイルの一例を示す概略構成図である。

【0094】図12においては、伝送線路1の始端に接続されるコントローラチップ61と、この伝送線路1に複数の分岐チップ62が分岐して結線された状態を示す。図12のように、信号パルスの周期が短くなり、伝送線路1が相対的に長くなると伝送線路1の中には信号が数パルス直列に進行していることになる。すなわち、分岐チップ62はある瞬間いろいろなタイミングフェーズにあり、このバス配線系を画一的にコントロールしなければならない。これら信号を意味付けるためにもクロック信号と整合したプロトコルが相互チップ間のアクセスに必要となってくる。ちなみに、図12の状態を作る条件として、伝送線路1の線路長を400mm、クロック信号を2クロックとすると、伝送線路1の光速を1.5

$\times 10^8$ m/sとして7.5GHzが算出される。

【0095】この構成において、クロック信号を伝送線路1に送信し、そのクロック信号がそれぞれの線路上の分岐チップ62に到達した時間を起点として、受信側の分岐チップ62は駆動することになる。従って、基本的にはソースシンクロナス方式とする。伝送線路1の終端には整合の終端抵抗2が付いているため、送信チップであるコントローラチップ61を起点としてクロック信号が流れ、この終端で消滅する。クロック信号を発生するチップは、図12のように、バス配線系をコントロールする伝送線路1の始端に位置しているコントローラチップ61にするのが一番制御しやすい。

【0096】次に、図13および図14により、分岐チップへの書き込み時、分岐チップからの読み出し時のデータのアクセス手順について説明する。図13はコントローラチップから分岐チップへの信号伝送と制御系の一例を示す概略構成図、図14は分岐チップからコントローラチップへの信号伝送と制御系の一例を示す概略構成図である。

【0097】いま、図13のように、アドレス信号の一部がチップセレクト信号であったとすると、コントローラチップ61の環境条件初期設定で各分岐チップ62のエコー時間を図14の復路データストロブ線を利用して測定し、最長エコー時間を持つ分岐チップ62に復路クロックアクティブを与えることにする。図13で、その分岐チップ62をセレクトすると共にクロック/データセレクト信号をクロックセレクトとする。これはバス配線系が動作する間は固定である。チップセレクトビット数（アドレス）に余裕があれば可能である。この復路クロックアクティブを与えられた分岐チップ62は、図13のコントローラチップ61から発信した往路クロック信号をセンスし、それをもとにドライバが復路クロック信号を発生する。このクロック信号は図14の復路クロック線に流す。この復路クロックアクティブの分岐チップ62はまた、データストロブ信号を折り返し発信する。以上がクロック発生機構である。

【0098】続いて、図13により、分岐チップ62への書き込み時のデータのアクセス手順を説明する。この分岐チップ62への書き込み時には、往路クロック信号のタイミングでデータ用チップセレクト信号とアドレスのRAS（Row Address Strobe）が指定され、続いてCAS（Column Address Strobe）が指定され、CASレーテンシーの後、ラインサイズของデータがバースト入力される。伝送線路1上のコントローラチップ61より遠い分岐チップ62ほど遅れて入力されるが、同じ往路クロック信号のパルスタイミングで行えば、制御信号も等長配線のため、タイミングスキューはなく伝送線路1上でのコンフリクトは起こらない。

【0099】一方、分岐チップ62からのデータの読み出し時には、チップセレクト信号からCASの指定まで

は前記図 13 の送信側の伝送線路 1 で行うが、その後は最遠端の分岐チップ 62 に到達したデータストロブ信号とペアになったクロック信号が図 14 の復路クロック信号になって戻る（ストロブ信号とここでもペアになっている）。このタイミングを待ってラインサイズのデータを分岐チップ 62 が復路データ線に流す。復路クロック信号を分岐チップ 62 が受け取るのが分岐配線 9 の配線長という任意の設定項で変化するため、これを保証する遅延クロック信号のタイミングでデータを出力する。CAS レーテンシーはこれらの待ち時間の中に隠れる。復路遅延クロック信号のタイミングで分岐チップ 62 から出力された読み出しデータは同期してコントローラチップ 61 に入力される。

【0100】なお、ミスヒットを知らせる信号など、分岐チップ 62 の環境通知信号が復路のバスに含まれることは言うまでもない。以上、配置方向伝送線路のバス構造について説明したが、このバス配線系のクロックタイミングチャートについては以下のとおりである。

【0101】次に、図 15 および図 16 により、バス配線系のクロックタイミングチャートについて説明する。図 15 は分岐チップへデータを転送するときの一例を示すタイミング図、図 16 は復路データ転送の一例を示すタイミング図である。

【0102】図 15 のように、往路データの転送は非常に簡単で、最近接の分岐チップ 62 から伝送線路 1 であるバスの遅延時間分 (t_{pd}) だけ、最遠端の分岐チップ 62 のアクセスは遅れる。しかし、クロック信号とデータストロブ信号の遅延時間も同じであり、分岐チップ 62 が受信する信号源は平行移動で同じタイミングである。図 15 では 3 クロックの遅れとなっている。しかし、送信レーテンシーは物理的に 0 である。

【0103】一方、復路データ転送はいろいろな工夫が必要である。初期設定で最遠端の分岐チップ 62 が復路クロック信号とデータストロブ信号を発生させる。図 16 のように、往路の制御信号とアドレスは分岐チップ 62 に入力されるが、データストロブがないため、出力ラッチで出力を待つ状態となる。図 16 にあるように待ち時間 (t_{dd}) は各分岐チップ 62 に対して変数である。コントローラチップ 61 に最も近い分岐チップ 62 の待ち時間は最大で $2t_{dd}$ となる。

【0104】この復路データ転送においては、データストロブ信号の到着により待機していた分岐チップ 62 のデータが出力されるが、出力ラッチの遅延時間 (t_{od}) と分岐配線 9 からバスの伝送線路 1 まで伝送するための遅延時間 (t_{pld}) が加えられてバス線路に流れる。これを図 16 で t_{bld} ($= t_{od} + t_{pld}$) と表現した。従って、コントローラチップ 61 が受け取るデータのタイミングを知る方法がなくなるため、制御信号が読み出し命令のときだけ、復路クロック信号を発生する分岐チップ 62 は、データストロブ信号をバス線路から

再度受け取り、これも折り返し発信させる。これを遅延データストロブ信号と呼び、これは復路データ転送のタイミングと同じとなる。各分岐チップ 62 の分岐配線 9 が許容される程度に同じ長さであれば、 t_{pd} は一定と見なし得る。コントローラチップ 61 はストロブ信号の受け取りでデータ入力の待機状態となり、遅延データストロブ信号でデータを取り込むことになる。

【0105】よって、読み取り命令に対して、コントロール信号のデータストロブ信号を発行してから、データを受け取るまでに $2t_{pd} + 2t_{pld} + t_{rd}$ が必要となる。バスの中に浮遊しているクロックパルスが 2 クロック ($t_{pd} = 2T$, $T =$ クロック周期)、 t_{pld} を 1 クロックとすると、6 クロック ($6T$) + t_{rd} の物理的レーテンシーが発生する。データ線が一方通行である構成では、この間で書き込みデータを送り込む、プリチャージをするなどの操作ができる。データ線が共通であれば、このレーテンシーは避けられない。バス線路が長いほどレーテンシーは大きくなる欠点が出るため、長いバス配線系では一方通行のバス線路が有利である。

【0106】このプロトコルの特長は、データ書き込みに対して、レーテンシーではなく、読み出しに際して伝送線路 1 の長さの関数でレーテンシーが表れるが、一方方向データバスではこのレーテンシーの時間を他の動作に利用できる。双方向データ線路ではこのレーテンシーは避けようがないが、通常のシンクロナス伝送でのレーテンシーとあまり差がないため、これでも有用である。ちなみに、伝送線路 1 の光速を 1.5×10^8 m/s、 $t_{pd} = 2T$ とすると、400 MHz では 750 mm、1 GHz では 300 mm、3 GHz では 100 mm がバス線路の長さとなり、十分設計可能な値である。

【0107】以上により、第 6 の要点をまとめると、本実施の形態においては、伝送線路 1 内に数パルスの信号が進行するときのタイミングの取り方についても規定するものであり、コントローラチップ 61 に対して最長エコー時間を持つ分岐チップ 62 に復路クロックアクティブを与え、この分岐チップ 62 がデータストロブ信号を折り返し発信することを特徴とするものである。さらに、コントローラチップ 61 が受け取るデータのタイミングを知る方法として、分岐チップ 62 からの制御信号が読み出し命令のときだけ、復路クロック信号を発生する分岐チップ 62 がデータストロブ信号を伝送線路 1 から再度受け取り、これも遅延データストロブ信号として折り返し発信することが特徴である。これにより、伝送線路 1 の光速を 1.5×10^8 m/s、 $t_{pd} = 2T$ とすると、100 mm のバス線路の長さにより 3 GHz の伝送速度を達成することができる。

【0108】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもな

い。

【0109】たとえば、前記実施の形態においては、差動相補デジタル信号を伝達する差動伝送線路について説明したが、一方の電極をグラウンドにし、コモンとする回路構成による通常伝送線路に置き換えて適用することも可能である。さらに、CMOS回路構成によるドライバ回路を主に説明したが、CMOS回路のしきい値電圧のばらつきを小さくすることが難しい点、ゲートの非常に薄い酸化膜の静電破壊の問題点を考えると、バイポーラ回路の方が良いということは言うまでもない。

【0110】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0111】本発明の電子装置によれば、伝送線路と、これに整合した終端回路とからなるバス配線系にドライバを組み合わせた入出力回路において、ドライバをカレントスイッチ型に特定し、かつ伝送線路を25Ω以下の特性インピーダンスを有する線路の並列等長配線に特定することで、伝送中の信号エネルギーの減衰を抑え、かつ近接する伝送線路間の電磁界干渉を抑制することができるので、バス配線系における信号伝送の高速化を実現することが可能となる。

【0112】特に、差動伝送線路の始端に接続される、差動ドライバおよび差動レシーバを有するコントローラチップと、この差動伝送線路に分岐して接続される、差動レシーバおよび差動ドライバを有するメモリ・入出力インターフェースチップとの間において、一方向および双方向における信号伝送の高速化を図ることができるので、バス配線系の高速伝送線路が実現できる電子装置を提供することが可能となる。

【図面の簡単な説明】

【図1】(a)、(b)は本発明の一実施の形態である電子装置において、伝送線路をループとしたカレントスイッチ型のドライバ回路の一例を示す概略回路図である。

【図2】(a)、(b)は本発明の一実施の形態の電子装置において、伝送線路のペア線路間の絶縁層の厚みと電磁界の広がり の一例を説明するための概略断面図である。

【図3】(a)、(b)は本発明の一実施の形態の電子装置において、1つの単位のバス構造の一例を示す概略概念図である。

【図4】本発明の一実施の形態の電子装置において、差動レシーバの分岐構造の一例を示す概略斜視図である。

【図5】本発明の一実施の形態の電子装置において、図3(a)に対応する基本バス構造の一例を示す概略平面図である。

【図6】本発明の一実施の形態の電子装置において、図3(b)に対応する分岐配線が必要な分岐構造の一例を示す概略平面図である。

【図7】本発明の一実施の形態の電子装置において、

層の配線層構造の一例を示す概略断面図である。

【図8】本発明の一実施の形態の電子装置において、差動ドライバの集積回路チップのファンアウト構造とバイパスコンデンサの配置の一例を示す概略配置図である。

【図9】(a)、(b)は本発明の一実施の形態の電子装置において、分岐配線からコントローラの差動レシーバに信号を伝える一方向バスの構造の一例を示す概略概念図と等価回路図である。

【図10】(a)、(b)は本発明の一実施の形態の電子装置において、分岐配線に長さが必要なときのバストランシーバによる接続分岐構造の一例を示す概略概念図と等価回路図である。

【図11】本発明の一実施の形態の電子装置において、往復伝送線路とその入出力回路の一例を示す概略回路図である。

【図12】本発明の一実施の形態の電子装置において、ある瞬間を見たときの伝送線路内の電圧プロファイルの一例を示す概略構成図である。

【図13】本発明の一実施の形態の電子装置において、コントローラチップから分岐チップへの信号伝送と制御系の一例を示す概略構成図である。

【図14】本発明の一実施の形態の電子装置において、分岐チップからコントローラチップへの信号伝送と制御系の一例を示す概略構成図である。

【図15】本発明の一実施の形態の電子装置において、分岐チップへデータを転送するときの一例を示すタイミング図である。

【図16】本発明の一実施の形態の電子装置において、復路データ転送の一例を示すタイミング図である。

【図17】本発明の前提となる電子装置において、ドライバおよびレシーバからなる入出力回路の要部を示す回路図である。

【図18】本発明の前提となる電子装置において、信号の遷移開始からバス終端への伝送が終了する直前までを示す等価回路図である。

【図19】本発明の前提となる電子装置において、信号が終端抵抗に到達した後を示す等価回路図である。

【符号の説明】

- 1 伝送線路
- 2 終端抵抗
- 3, 3a, 3b 差動ドライバ
- 4 ペア線路
- 5 絶縁層
- 6 電磁界の広がり
- 7 差動レシーバ
- 8 抵抗
- 9 分岐配線
- 10 ペア線路
- 11 上部信号配線
- 12 下部信号配線

- 13 分岐電極
- 14 ピアホール
- 15 分岐電極
- 16 集積回路チップ
- 17 フリップチップ電極接合部
- 18 高抵抗チップ
- 19 ピアホール
- 20 絶縁層
- 21 基板材料
- 22 集積回路チップ
- 23 周辺回路
- 24 内部回路
- 25 ボンディングパッド
- 26 配線基板
- 27 ボンディングワイヤ
- 28 バイパスコンデンサ
- 29 電源・グラウンドペア線路
- 30 配線インダクタンス
- 31 バイパスコンデンサ
- 41 コントローラチップ
- 42 差動レシーバ
- 43 メモリ・入出力インターフェースチップ
- 44 差動ドライバ
- 45 負荷抵抗
- 46 バストランシーバチップ
- 47 イネーブル信号用バッファ

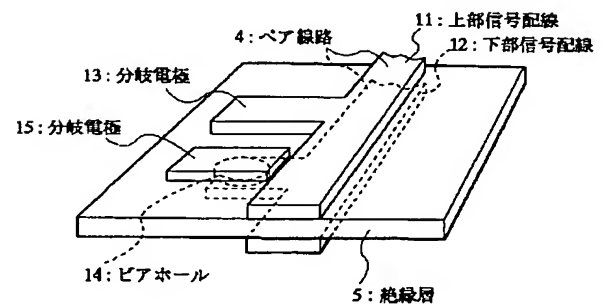
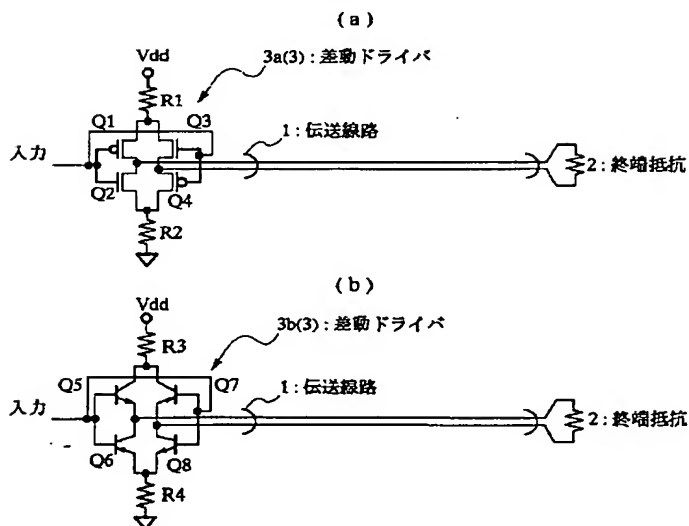
- 51 コントローラチップ
- 52 メモリ・入出力インターフェースチップ
- 53 バストランシーバチップ
- 54 差動ドライバ
- 55 差動レシーバ
- 56 差動ドライバ
- 57 差動レシーバ
- 58 終端抵抗
- 61 コントローラチップ
- 62 分岐チップ
- 101 差動ドライバ
- 102 差動レシーバ
- 103 ペア信号配線
- 104 ドライバ
- 105 インバータ
- 111 伝送線路
- 112 差動ドライバ
- 113 負荷抵抗
- 114 終端抵抗
- 20 Q1～Q8 トランジスタ
- R1～R4 抵抗
- Q41～Q46 トランジスタ
- R41, R42 抵抗
- Q51～Q61 トランジスタ
- R51～R56 抵抗

【図1】

【図4】

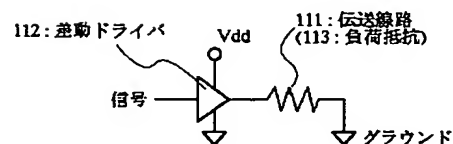
図 1

図 4



【図18】

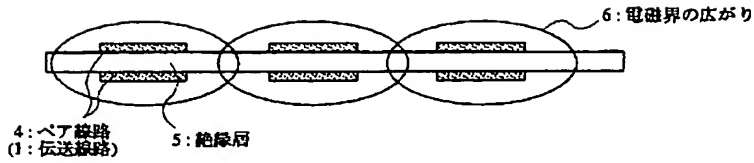
図 18



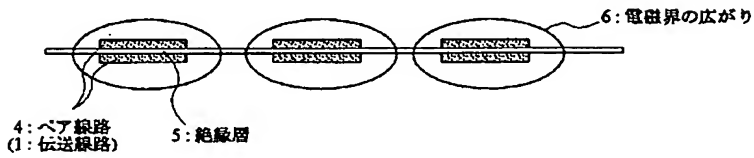
【図 2】

図 2

(a)



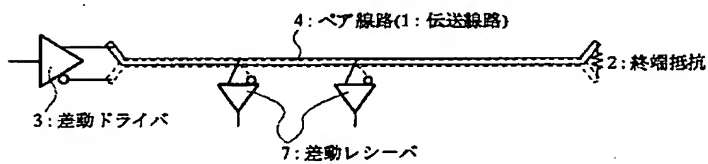
(b)



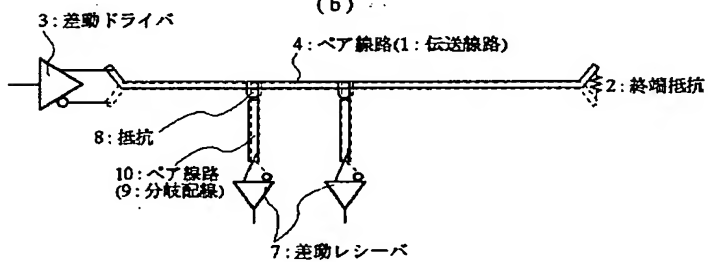
【図 3】

図 3

(a)

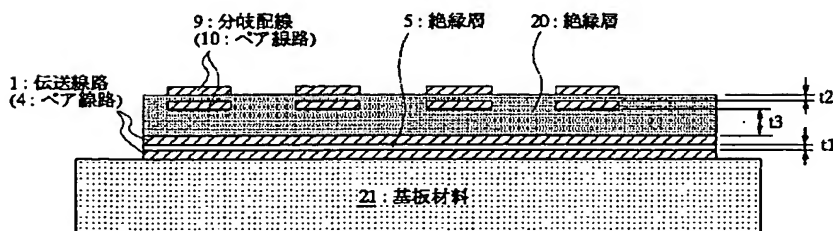


(b)



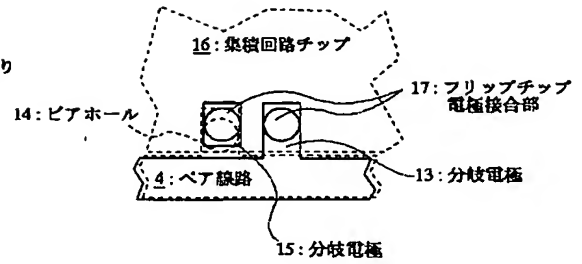
【図 7】

図 7



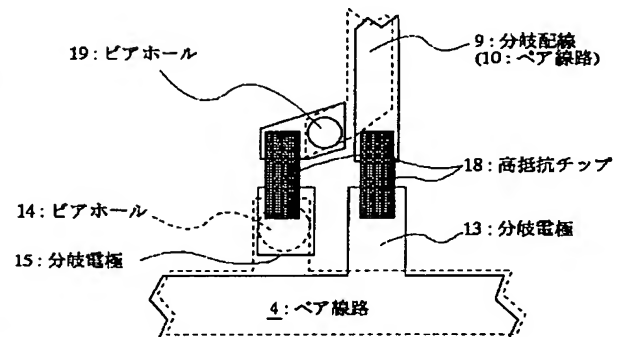
【図 5】

図 5



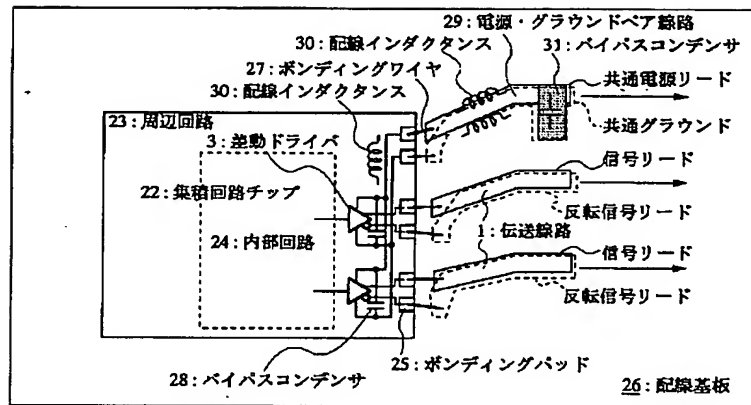
【図 6】

図 6



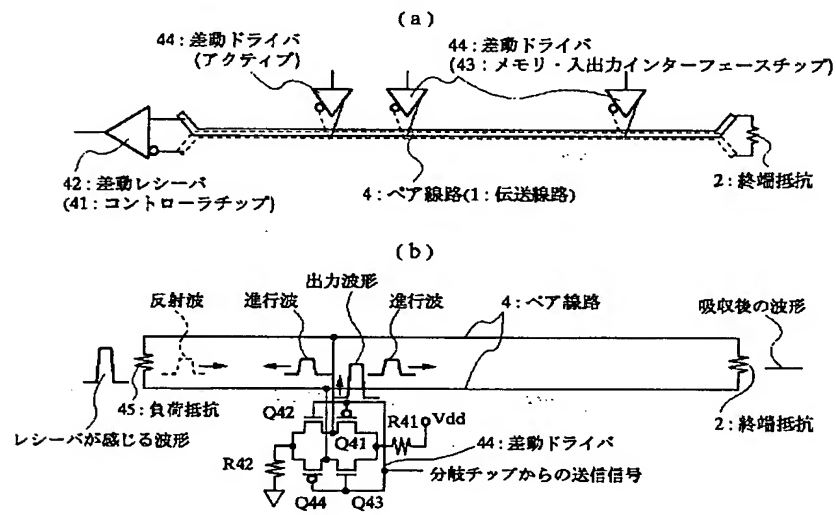
【図 8】

図 8



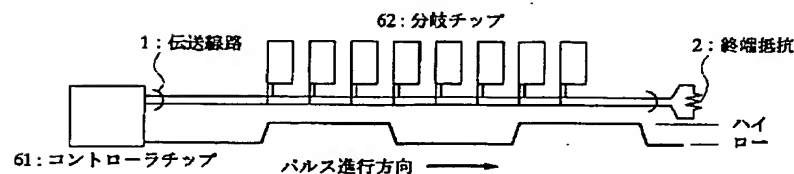
【図 9】

図 9



【図 12】

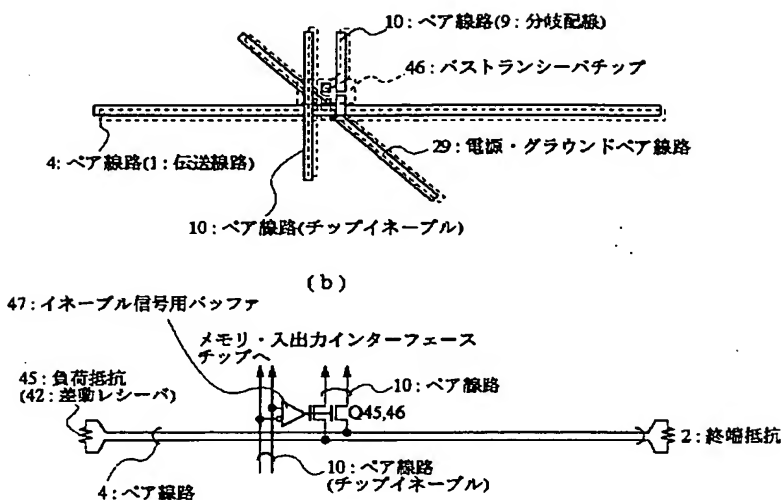
図 12



【图 10】

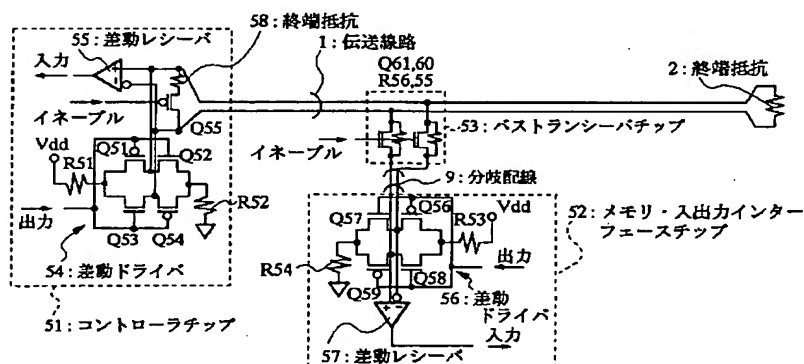
图 10

(a)



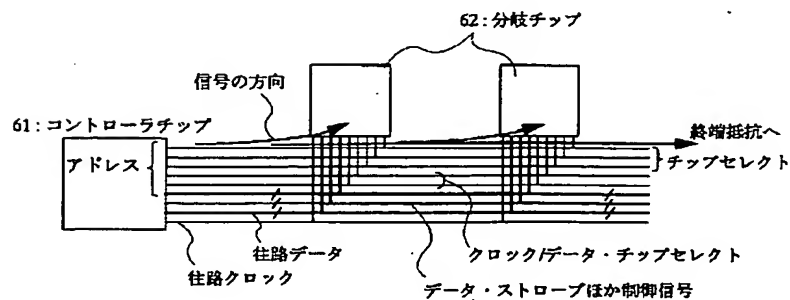
【図 1 1】

图 11



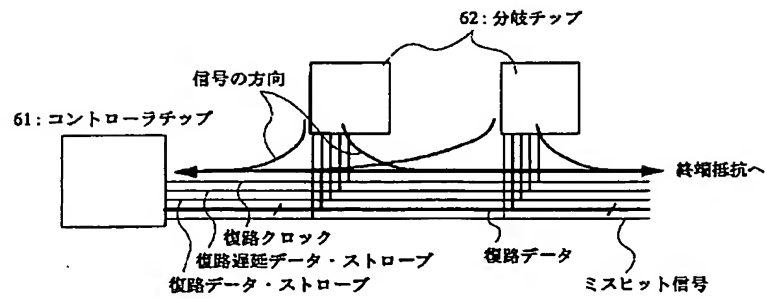
【図 13】

図 13



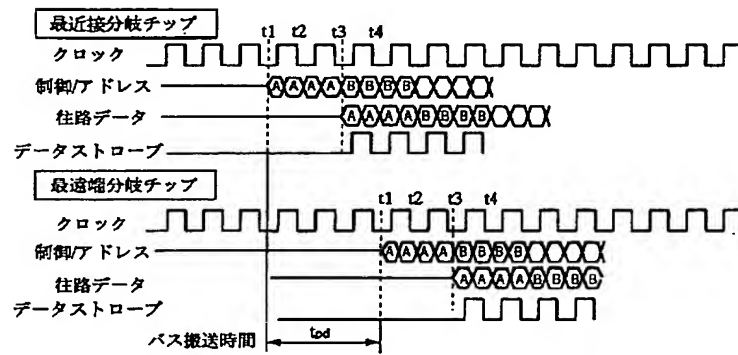
【図 14】

図 14



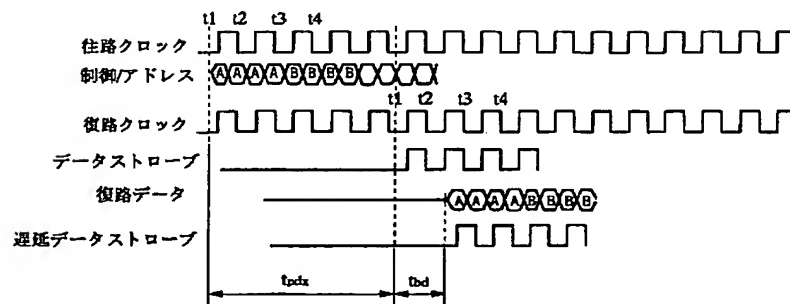
【図 15】

図 15



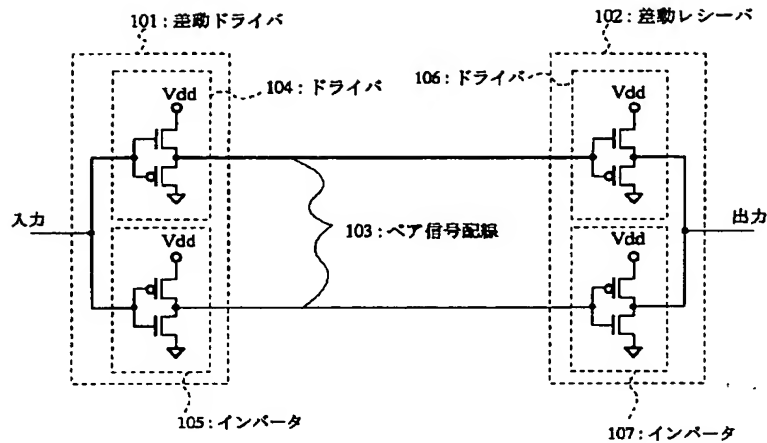
【図 16】

図 16



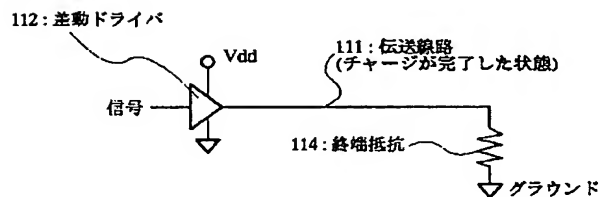
【図 17】

図 17



【図 19】

図 19



フロントページの続き

(71)出願人 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号

(71)出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号

(71)出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号

(71)出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号

(71)出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地

(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号

(71)出願人 000005843
 松下電子工業株式会社
 大阪府高槻市幸町1番1号

(71)出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号

(71)出願人 000005223
 富士通株式会社
 神奈川県川崎市中区上小田中4丁目1番1号

(71)出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町21番地

(72)発明者 宇佐美 保
 東京都国分寺市西町2-38-4

Fターム(参考) 5J013 BA02
 5K029 AA11 CC01 DD04 DD13 GG07
 HH01 HH26 JJ08 LL11 LL17